

HTMOS™高温产品

32KX8 高温静态存储器**HT6256****特点**

- 额定温度：-55°C 至+225°C
- 用THMOS™ IV绝缘层上覆硅生产
- 读取/写入循环时间≤50ns 支持 20 MHz 时钟
- 异步操作
- 输入/输出缓冲器
- 单 5V ±10% 供电电源
- 密封 28 引线陶瓷 DIP

应用

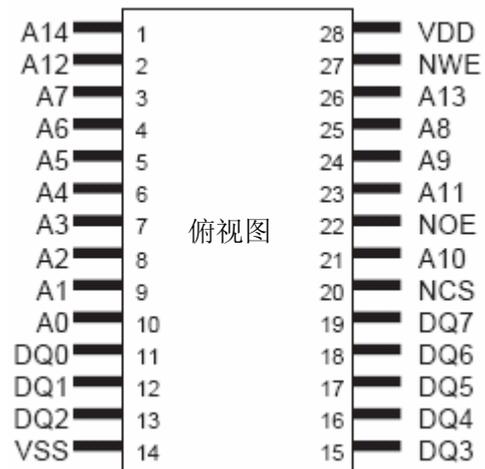
- 井下油井
- 航空电子设备
- 涡轮发动机控制
- 工业过程控制
- 核反应堆
- 电力转换
- 重型内燃机

一般说明

32K×8 高温静态随机存储器(RAM)是一种高性能 32,768 字×8-bit 静态随机存储器，具有工业标准功能性。其生产运用了霍尼韦尔的 HTMOS 技术，专门为在苛刻的高温环境中应用的系统而设计。

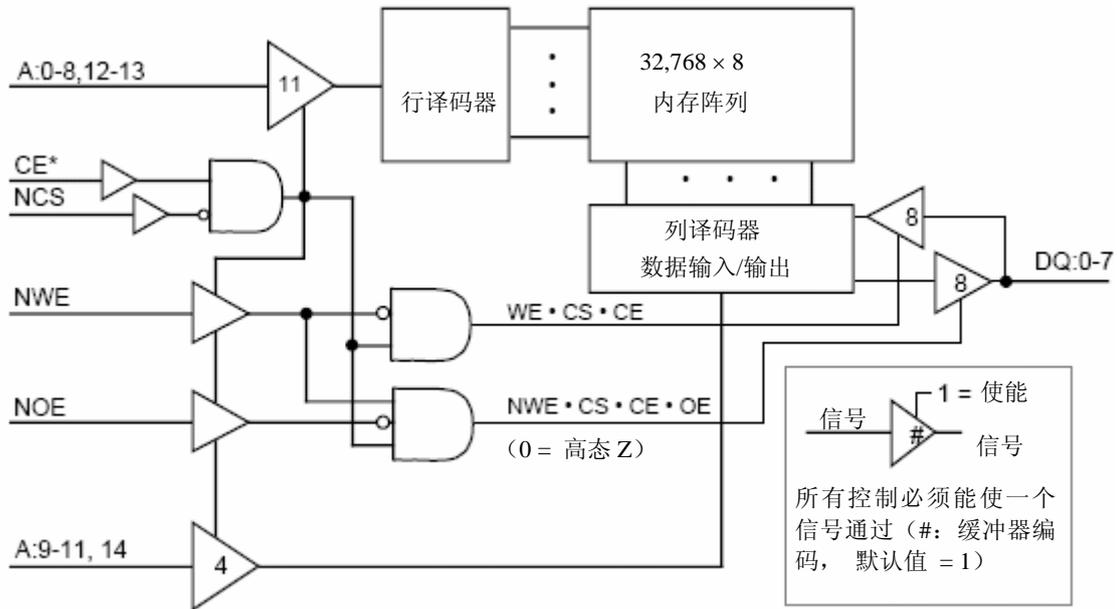
RAM 只需要一个供电电源，并且具有与 CMOS 相匹配的 I/O（输入/输出）。操作中耗电量少于 30mW/MHz，取消选定后耗电量少于 10mW。RAM 读取操作是完全异步的，相应的典型存取时间为 50ns，5V。

RAM 在整个-55 到 225°C 温度范围内性能可靠。如果零件在高达+300°C 的温度下工作一年，其性能会降低。所有零件都经过 250°C 老化，以防止生产次品。

封装插脚引线

HT6256

功能图



信号定义

- A: 0-14** 在内存阵列内选择一个具体的 8-bit 字的地址输入引脚。
- DQ: 0-7** 在读取操作中作为数据输出，在写入操作中作为数据输入的双向数据引脚。
- NCS** 负向芯片选择处于低电平时，可以进行正常读取或写入操作。处于高电平时，NCS 迫使 SRAM 进入预先充电条件，使数据输出驱动处于高阻抗状态,并使所有的输入缓冲器失效，如果没有使用该信号，必须将它连接到 VSS 上。
- NWE** 处于低电平时，负向写入激活一个写入操作并将数据输出驱动保持在高阻抗状态。处于高电平时，NWE 允许进行正常读取操作。
- NOE** 处于高电平时，负向输出将数据输出驱动保持在高阻抗状态。处于低电平时，由 NCS 和 NWE 决定数据输出驱动状态。如果没有使用该信号，必须将它连接到 VSS 上。
- CE*** 芯片使能外部控制是指在其它封装选择中才有的特性。处于高电平时，芯片使能允许进行正常读取操作。处于低电平时，CE 强制 SRAM 进入预先充电条件，使数据输出驱动处于高阻抗状态，并使除 NCS 输入缓冲器之外的所有的输入缓冲器失效，如果没有使用该信号，必须将它连接到 VDD 上。

真值表

NCS	CE*	NWE	NOE	模式	DQ
L	H	H	L	读取	数据输出
L	H	L	X	写入	数据输入
H	X	XX	XX	取消选择	高态 Z
X	L	XX	XX	失效	高态 Z

注意：
 X: VI=VIH 或 VIL
 XX: VSS≤VI≤VDD
 NOE=H: 为 NCS=X, CE=X, NWE=X
 保持高态 Z 输出状态

绝对最大额定值(1)

符号	参数	额定值		单位
		最小	最大	
VDD	供电电压范围(2)	-0.5	6.5	V
VPIN	任何引脚上的电压(2)	-0.5	VDD+0.5	V
TSTROE	储存温度 (零偏移)	-65	325	°C
TSOLDER	钎焊温度 (5 秒)		355	°C
PD	最大功耗(3)		2	W
IOUT	直流电或平均输出电流		25	mA
VPROT	ESD 输入保护电压(4)	2000		V
θJC	热阻(接合点至案例)	28 DIP	10	°C/W

- (1) 如果强度超过上述额定值, 将会导致永久损坏。这些只是额定强度, 并不意味着能在这些等级进行操作。经常或长期在最大绝对条件下工作可能会影响装置的可靠性。
- (2) 电压参考 VSS
- (3) RAM 功耗 (IDDSB+IDDOP) 加上外部负载引起的 RAM 输出驱动功耗不能超出此技术规格。
- (4) 2 级静电释放 (ESD) 输入保护。由 EDSC 认证实验室依据 MIL-STD-883 用 3015 方法测试。

建议操作条件

符号	参数	描述			单位
		最小	典型	最大	
VDD	供电电压 (参考 VSS)	4.5	5.0	5.5	V
TA	环境温度	-55	25	225	°C
VPIN	任何引脚上的电压 (参考 VSS)	-0.3		VDD+0.3	V

电容 (1)

符号	参数	标准值 (2)	最糟情况		单位	测试条件
			最小	最大		
CI	输入电容	5		7	pF	VI-VDD 或 VSS, f=1 MHz
CO	输出电容	7		9	pF	VIO-VDD 或 VSS, f=1 MHz

- (1) 该参数只能在初始设计特性条件下进行测试。
- (2) 典型操作条件: TA=25°C

数据保存特性 (1)

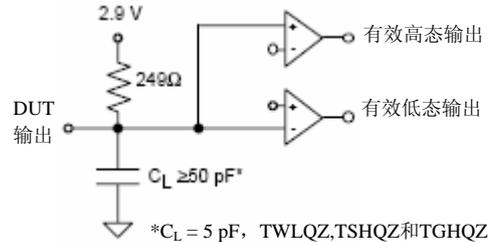
符号	参数	标准值	最糟情况		单位	测试条件
			最小	最大		
VDR	数据保存电压		2.5		V	NCS=VDR VI=VDR 或 VSS
IDR	数据保存电流			500 300	μA μA	NCS=VDD=2.5V, VI=VDD 或 VSS NCS=VDD=3.0V, VI=VDD 或 VSS

HT6256

直流电电气特性

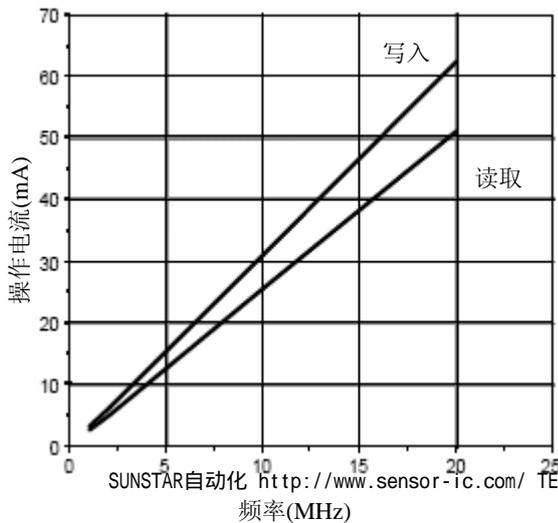
符号	参数	测试条件	典型	最糟情况		单位
				最小	最大	
IDDSB1	静态供电电流	VIH = VDD, IO = 0 VIL = VSS, f = 0 MHz	0.2		2.0	mA
IDDSBMF	备用供电电流-取消选择	NCS=VDD, IO = 0 f = 40 MHz	0.2		2.0	mA
IDDOPW	动态供电电流-选择 (写入)	f = 1 MHz, IO = 0, CE = VIH = VDD NCS=VIL = VSS(3)	3.4		4.0	mA
IDDOPR	动态供电电流-选择 (读取)	f = 1 MHz, IO = 0, CE = VIH = VDD NCS=VIL = VSS(3)	2.8		4.0	mA
II	输入漏电	VSS VI VDD		-5	+5	μA
IOZ	输出漏电	VSS VIO VDD 输出=高态 Z		-10	+10	μA
VIL	低电平输入电压	行进模式	1.7		0.3 × Vdd	V
VIH	高电平输入电压	行进模式	3.2	0.7 × Vdd		V
VOL	低电平输出电压	VD = 4.5V, IOL = 10 mA(CMOS) VDD = 4.5V, IO = 200 μA	0.3 0.005		0.4 0.05	V V
VOH	高电平输出电压	VDD = 4.5V, IOH = -5 mA VDD = 4.5V, IOH = 200 μA	4.3 4.5	4.2 Vdd-0.05		V V

- (1) 典型操作条件: VDD=5.0V, TA=25°C。
- (2) 最糟情况操作条件: VDD=5.0V±10%, TA=55°C 至+225°C。
- (3) 所有输入转换。直流电平均电流。只在其它可选封装中才有芯片使能 (CE) 外部控制。

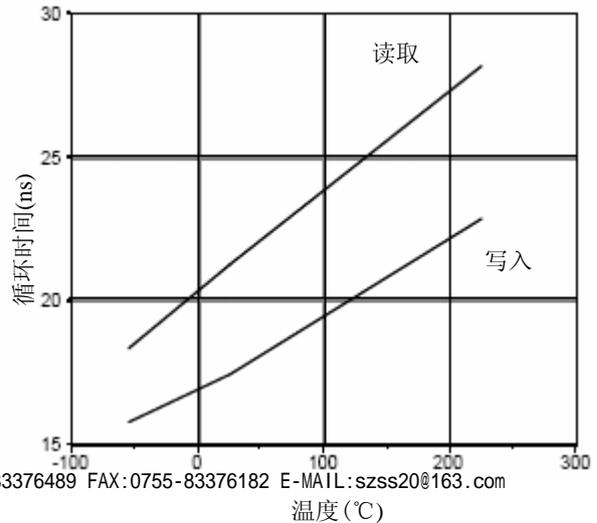


试验装置对等负载电路

225°C 时的操作电流与频率的关系



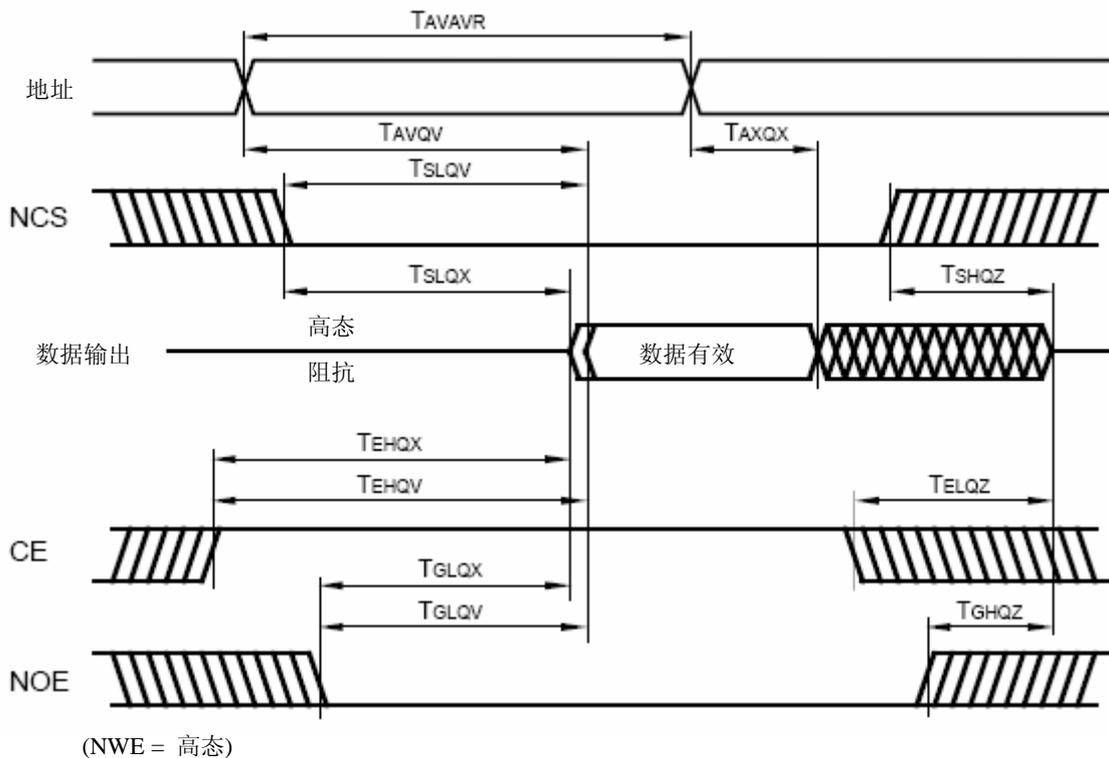
循环时间与温度的关系



读取循环交流电定时特性

符号	参数	典型	最糟情况		单位
			最小	最大	
TAVAVR	地址读取循环时间		50		ns
TAVQV	地址存取时间			50	ns
TAXQX	地址转换到输出无效时间		3		ns
TSLQV	芯片选择存取时间			50	ns
TSLQX	芯片选择输出使能时间		5		ns
TSHQZ	芯片选择输出失效时间			20	ns
TGLQV	输出使能存取时间			15	ns
TGLQX	输出使能输出使能时间		0		ns
TGHQZ	输出使能输出失效时间			15	ns
TEHQV	芯片使能输出存取时间(4)	17		25	ns
TEHQX	芯片使能输出使能时间(4)	10	5		ns
TELQZ	芯片使能输出失效时间(4)	4		10	ns

- (1) 测试条件: 输入转换电平 $V_{IL}/V_{IH}=0.5V/V_{DD}-0.5V$, 输入上升和下降次数 $<1 \text{ ns/V}$, 在试验装置交流电定时特性表中显示的输入和输出定时基准电平, 电容输出负载 $C_L \geq 50 \text{ pF}$, 或对等电容输出负载 $C_L = 5 \text{ pF}$ 用于 TSHQZ 和 TGHQZ。对于 $C_L > 5 \text{ pF}$, 免除存取次数 0.02 ns/pF (典型)。
- (2) 典型操作条件: $V_{DD} = 5.0V$, $T_A = 25^\circ\text{C}$ 。
- (3) 最糟情况操作条件: $V_{DD} = 4.5V$ 到 $5.5V$, -55 到 225°C 。
- (4) 只在其它可选封装中才有芯片使能(CE)的外部控制。

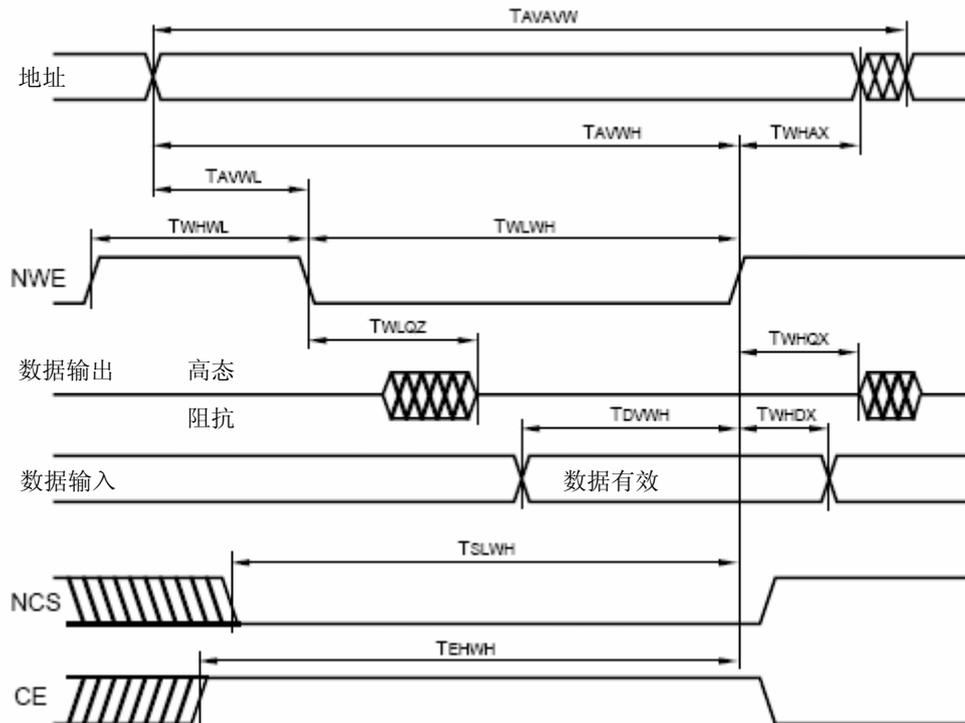


HT6256

写入循环交流电定时特性 (1)

符号	参数	典型	最糟情况		单位
			最小	最大	
TAVAVW	写入循环定时 (4)		50		ns
TWLWH	写入使能写入脉冲宽度		45		ns
TSLWH	写入时间末的芯片选择		45		ns
TDVWH	写入时间末的数据有效		35		ns
TAVWH	写入时间末的地址有效		45		ns
TWHDX	写入时间末后的数据保持时间		0		ns
TAVWL	写入时间初的地址有效设置		0		ns
TWHAX	写入时间末后的地址有效		0		ns
TWLQZ	写入使能输出无效时间		0	15	ns
TWHQZ	写入使能输出使能时间		5		ns
TWHWL	写入失效写入使能脉冲宽度 (5)		5		ns
TEHWH	写入时间末的芯片使能 (6)		45		ns

- (1) 测试条件: 输入转换电平 $V_{IL}/V_{IH}=0.5V/V_{DD}-0.5V$, 输入上升和下降次数 <1 ns/V, 在试验装置交流电定时特性表中显示的输入和输出定时基准电平, 电容输出负载 ≥ 50 pF, 或对等电容输出负载 5 pF 用于 TWLQZ。
(2) 典型操作条件: $V_{DD} = 5.0V$, $T_A = 25^\circ C$
(3) 最糟情况操作条件: $V_{DD} = 4.5V$ 到 $5.5V$, -55 到 $225^\circ C$
(4) $TAVAVW = TWLWH + TWHWL$
(5) 保证但没有经过测试
(6) 只在其它可选封装中才有芯片使能(CE)的外部控制。



动态电气特性

读取循环

RAM 为异步操作，使地址、芯片选择（NCS）或芯片使能（CE）（参考读取循环定时图表）控制读取循环。要进行有效的读取操作，芯片选择和输出使能（NOE）两者必须处于低态，而芯片使能和写入使能（NWE）必须处于高态。NOE 信号可以独立地控制输出驱动器。可以用处于持续低位的 NCS 和处于持续高位的 CE 和固定地址来执行连续读取循环。

对于由地址激活的读取循环，NCS 和 CE 必须在活动地址边缘转换之前或与之同时有效。允许地址边缘转换之间存在任何程度的固定或倾斜；然而，数据输出会在最近发生的一次地址边缘转换后变成有效的 TAVQV 时间。最短的地址激活读取循环时间为 TAVAV。当在最短的地址激活读取循环时间操作 RAM 时，在下一个顺序地址转换后的 TAXQX 时间之前，在 RAM I/O(输入/输出)上的数据输出保持有效。

要用 NCS 控制读取循环，所有的地址和 CE 必须在 NCS 使能边缘转换之前或与之同时有效。地址或 CE 边缘转换可能在 NCS 规定的设置时间以后发生；然而，有效的数据存取时间就会被延迟。当 NCS 处于低态时发生的任何地址边缘转换将会启动一个新的读取存取，数据输出只有在地址边缘转换后的 TAVQV 时间才会有效。数据输出将会在一个失效 NCS 边缘转换后进入高阻抗状态 TSHQZ 时间。

要用 CE 控制读取循环，所有的地址和 NCS 必须在 CE 使能边缘转换之前或与之同时有效。地址或 NCS 边缘转换可能在 CE 规定的设置时间以后发生；然而，有效的数据存取时间就会被延迟。当 CE 处于高态时发生的任何地址边缘转换将会启动一个新的读取存取，数据输出只有在地址边缘转换后的 TAVQV 时间才会生效。数据输出将会在一个失效 NCS 边缘转换后进入高阻抗状态 TELQZ 时间。

写入循环

写入操作地址位是异步的，由写入使能（NWE）、芯片选择（NCS）或芯片使能（CE）边缘转换（参考写入循环定时图表）控制。要进行写入操作，NWE 和 NCS 必须处于低态，而 CE 必须处于高态。可以用处于持续低位的 NWE 或 NCS 和处于持续高位的 NEW 或 NCS 来执行连续写入循环。必须至少有一个控制信号在连续写入操作之间转换到其相反状态。

可以通过三种不同的控制信号：NWE、NCS 和 CE 来控制写入模式。除 NCS 和 CE 控制模式实际上在写入恢复脉冲期间使 RAM 失效之外，这三种控制模式都是相似的。为了节约用电，CE 和 NCS 使 RAM 解码逻辑和输入缓冲器完全失效。为了简便起见，在前一页的写入循环只表示出了 NWE 控制模式。然而，每种控制模式都具有相同的写入循环定时特性。所以，下面参考的许多参数名称没有在写入循环表中标出，但是它们表示出了当它转换到高态或低态时，哪个控制引脚处于控制状态。

要将数据写入 RAM，至少在 TWLWH/TSLSH/TEHEL 时间，NWE 和 NCS 必须处于低态，CE 必须处于高态。可以允许信号间的任何边缘倾斜，并且任何一个控制信号都可以启动或终止写入操作。对于连续写入操作来说，写入脉冲必须被规定的最短 TWLWL/TSHSL/TELEH 时间分割开。在使能 NWE/NCS/CE 边缘转换前，地址输入至少在 TAVWL/TAVSL/TAVEH 时间必须有效，并且在写入期间必须保持有效。在写入操作期间必须要有写入脉冲宽度时间的 TDVWH /TDVSH /TDVEL，有效数据重叠和写入时间末的 TAVWH /TAVSH/TAVEL 一个有效地址。关于失效 NEW/NCS/CE 边缘转换的地址输入和数据输入的保持时间必须分别是最小的 TWHAX/TSHAX /TELAX 时间和 TWHDX/TSHDX/TELDX 时间。最小的写入循环时间为 TAVAV。

HT6256

质量保证

霍尼韦尔通过使用统计过程控制、完整的“整体质量保证体系”和计算机数据库工艺性能跟踪系统对过程进行控制，从而保证了产品的完整性。这一整体质量方法保证为我们的客户提供可靠的产品，从工艺开发开始，一直持续到产品合格和筛选。

屏蔽级

霍尼韦尔提供各种等级的屏蔽装置，以满足您的需求。依据 MIL-STD-883 的要求，对 Hi-Rel B 级装置进行了额外的屏蔽。

可靠性

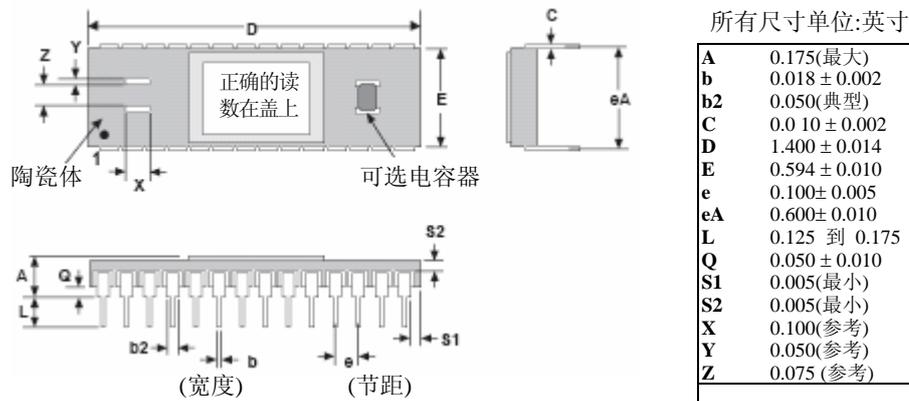
霍尼韦尔了解极端环境设备的严格的可靠性要求，

并在此类项目的可靠性测试方面具有广泛的经验。HTMOS 工艺的可靠性表现在对测试结构进行测试，并从中评价具体的故障机制。这些具体的机制包括，但不仅限于，热载流子、电迁移和依赖时间的电解质击穿。然后用这些数据来更改设计模式和工艺，保证产品可靠、符合要求。

封装

标准封装为由多层陶瓷(Al_2O_3)制成的密封 28 引线陶瓷 DIP，具有内电层和地面。用户可以将陶瓷芯片电容器安装在封装上，以使供电噪声退耦最大化，并增加电路板封装密度。这些电容器与内包装电层和地面相连。这一设计实现了结合线与封装的电阻和感应系数最小化。需要具有表面安装能力或芯片使能(CE)外部控制的封装选择，请致电霍尼韦尔。

28 引线 DIP 封装件



订购信息(1)

HT6256DC

D - 表示封装类型

D = 标准 DIP

C - 表示屏蔽级

C = 商业级

B = 高温 B 级

如需要其它的封装类型，请致电霍尼韦尔

(1) 可将订单传真至：612-954-2257。详细信息，请联系我们的客户服务部，电话：612-954-2888。